

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240468
 (43)Date of publication of application : 12.09.1995

(51)Int.Cl. H01L 21/82
 H01L 27/04
 H01L 21/822

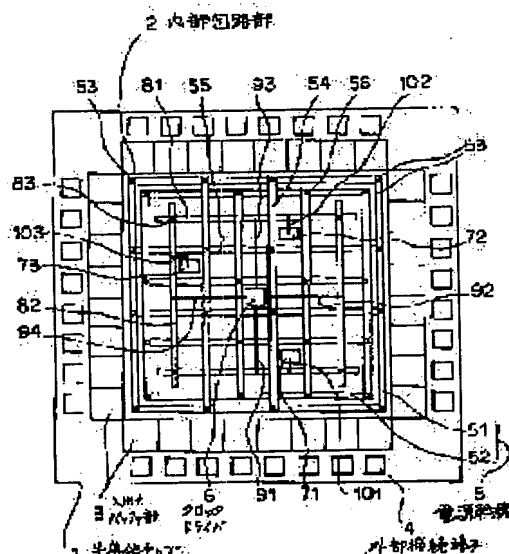
(21)Application number : 06-052646 (71)Applicant : NEC CORP
 (22)Date of filing : 28.02.1994 (72)Inventor : KONDO KEIICHIRO

(54) FORMATION OF SIGNAL LINE IN SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method for forming a clock signal in which the clock skew is suppressed when a plurality of clock signals are transmitted from a clock driver in a semiconductor device to a plurality of flip-flops.

CONSTITUTION: At the time of fabrication of a semiconductor device having main feeders 51, 52 and branch feeders 54, 55 where clock signals are transmitted from a clock driver 6 at an inner circuit section 2 of a semiconductor device 1 to a plurality of flip-flops 71-73, the branch feeder proximate to the flip-flop is disconnected, as clock signal lines, from the main feeder. The clock output lines 91-94 of the clock driver 6 are extended in X and Y directions and connected with the clock signal lines 81, 82 and the clock input lines 101-103 of the flip-flops 71-73 are connected with the clock signal lines 81, 82 thus making uniform the length of clock signal line between the clock driver and each flip-flop.



LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number] 2921387

[Date of registration] 30.04.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right] 30.04.2002

Copyright (C); 1998,2000 Japan Patent Office

(5)Int.Cl. H 01 L 21/82 27/04 21/822	識別記号 FI	庁内整理番号 8832-4M	技術表示箇所 W F
審査請求 未請求	請求項の数 4 F D (全 6 頁)	最終頁に図 4	

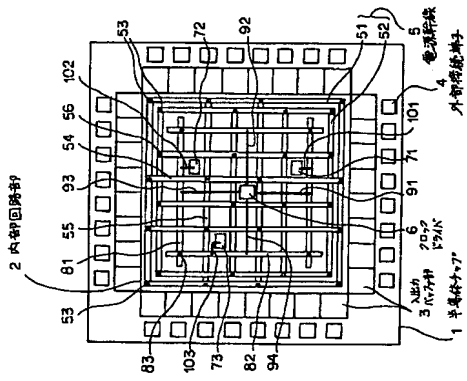
(21)出願番号 特願平6-52846 平成6年(1994)2月28日	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 近藤 敬一朗 式会社内
(72)発明者 近藤 敬一朗 東京都港区芝五丁目7番1号 日本電気株式	(74)代理人 伊理士 幹木 章夫

(54)【発明の名称】 半導体装置の信号線の形成方法

(57)【要約】

【目的】 半導体装置に設けたクロックドライバから複数のフリップフロップにクロック信号を送送する際、クロックスキューを低減したクロック信号線を形成する方法を得る。

【構成】 半導体装置1の内部回路部2に設けたクロックドライバ6から複数のフリップフロップ71〜73に対してクロック信号を送送し、電源線5として電源線51、52と電源枝線54、55とを備える半導体装置の製造に際し、フリップフロップに近接する電源枝線を電源枝線から切り離してクロック信号線81、82とし、クロックドライバ6のクロック出力線91〜94をX、Y方向に延長してクロック信号線81、82に接続し、各フリップフロップ71〜73のクロック入力線101〜103をクロック信号線81、82に接続し、クロックドライバから各フリップフロップへのクロック信号線の長さを均一化する。



71〜73 : フリップフロップ
81, 82 : クロック信号線

【特許請求の範囲】

【請求項1】 半導体装置の内部回路部に形成された複数の素子に対し、前記内部回路部の略中央位置に設けた素子から信号をそれぞれ伝送するように構成され、かつ前記素子に電源を供給するために半導体装置のX方向及びY方向にそれぞれ延設される電源枝線と電源枝線を有する半導体装置の製造に際し、前記電源枝線の一部を電源枝線から切り離し、この電源枝線を前記信号の伝送線として形成することを特徴とする半導体装置の信号線の形成方法。

【請求項2】 電源枝線は内部回路部の周辺に沿ってX方向及びY方向に延設されて相互に電気接続され、電源枝線は内部回路部においてX方向及びY方向に延設される延長パターン部と、この延長パターン部を前記電源枝線に接続させる接続パターン部とで構成され、信号伝送線として用いられる電源枝線はその接続パターン部を削除して配線パターンを設計する請求項1の半導体装置の信号線の形成方法。

【請求項3】 信号を出力する素子は信号出力線がX方向及びY方向に突出されて信号伝送線に接続され、信号が入力される素子はそれぞれの信号入力線が近接配置された信号伝送線に接続される請求項2の半導体装置の信号線の形成方法。

【請求項4】 半導体装置の内部回路部の略中央に設けたクロックドライバと、前記内部回路部に配設された複数のフリップフロップとを有し、前記クロックドライバから各フリップフロップに対してクロック信号を送送するように構成し、かつ前記内部回路部の周辺部に囲繞するように設けた電源枝線と、前記内部回路部内にX方向及びY方向に延設して前記電源枝線に接続される電源枝線とを備える半導体装置の製造に際し、前記電源枝線のうち、フリップフロップに近接する電源枝線を電源枝線から切り離してクロック信号線とし、前記クロックドライバのクロック出力線をX方向及びY方向に延長して前記クロック信号線に接続し、前記フリップフロップのクロック入力線を近接配置された前記クロック信号線に接続することを特徴とする半導体装置の信号線の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に形成された一の素子から他の素子に信号を送送するための信号線を形成する方法に関し、特に一の素子から複数の他の素子に対する信号線の長さを均一化を図った信号線の形成方法に関する。

【0002】

【従来の技術】 半導体装置では、一の素子から出力される信号を他の複数の素子に同時に伝送させることが要求される場合がある。例えば、クロック信号により動作させる複数のフリップフロップにクロックドライバからのクロック信号を送送する場合には、各フリップフロップ

に同期的にクロック信号を送送しないと、各素子間の動作タイミングにずれが生じ、半導体装置の正常な動作が阻害されるおそれがある。このため、クロックドライバから複数のフリップフロップに対してクロック信号を伝送するクロック信号線の長さを均一にし、各フリップフロップにおける同期化を図ることが必要とされる。

【0003】 従来では、特開平3-177913号公報に示すように、クロック信号線に寄与する容量を均一化することで時間軸上での実質的な長さの均一化を図ったものがある。図4に示すように半導体チップ2000の人力線201を通じて外部からのクロック信号をクロック分岐回路202で受け、更にこのクロック信号を第1クロック分岐回路203で受け、ここでクロック信号を複数の第2クロック分岐回路204に分配し、更に、この第2クロック分岐回路204から複数の回路209に分配するように構成されている。そして、第1クロック分岐回路203から第2クロック分岐回路204に至る全てのクロック信号線205、206の幅または下に図にそれと交差する信号線208の空き領域に電源線207に接続するダミー電源線208を交差接続することによりクロック信号線205、206の寄生容量を低減している。

【0004】 一方、特開平4-48778号公報、特開平4-48779号公報に記載のものでは、図5に示すように、第2層金属304と第3層金属305を被覆してスルーホール306で接続することによってクロック信号線303を半導体チップ300の中にメッシュ状に配設しておき、クロックドライバ301からのクロック信号が入力されるフリップフロップ302は、そのフリップフロップ302に最も近いクロック信号線303にフリップフロップ入力線307を用いて接続すること、クロックドライバ301から各フリップフロップ302に対する抵抗を低減し、クロック信号のスキューを低減している。

【0005】

【発明が解決しようとする課題】 このような従来のクロック信号線の配線構造において、前者のダミー電源線を用いる構成では、クロック信号線205、206の等容量化を図るために交差配置したダミー電源線208を形成するに際しては、クロック信号線205、206やその他の配線の形成を行った後、寄与配線領域にダミー電源線208を配線する必要があるため、通常の信号線配線以外に費やす処理時間がかかってしまうという問題がある。また、所定配線をやり直しを行うとする場合にはダミー電源線208を取り外さなければならない、手間がかかるという問題がある。

【0006】 また、後者のクロック信号線303を予め下地領域に配設しておく構成では、クロック信号線を用いないときには、この配設した領域が無駄な領域とな

